

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017578

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 21/8234

H01L 21/265

H01L 27/088

H01L 29/78

(21)Application number : 2001-198594

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 29.06.2001

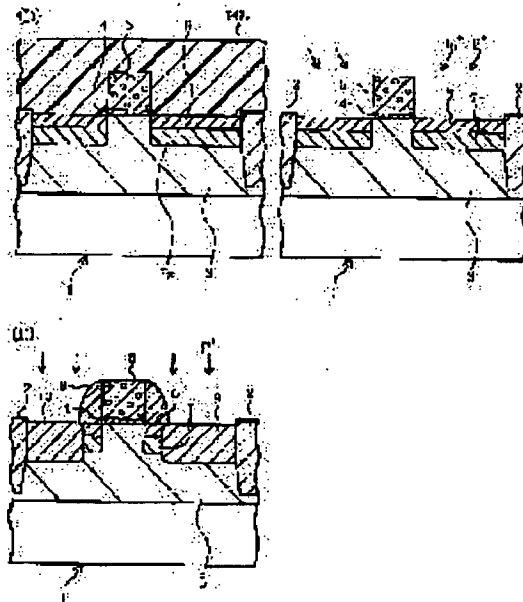
(72)Inventor : WADA HAJIME  
OKABE KENICHI  
WATANABE KO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device capable of forming a pocket area by using indium and decreasing the increase of leak current by ion injection of indium.

**SOLUTION:** The semiconductor device has first and second active areas demarcated on the main surface of a silicon substrate, a first n channel MOS transistor formed on the first active area having a first extension area and a first pocket area adding the indium of first concentration at a position deeper than the first extension area, and a second n channel MOS transistor formed on the second active area having a second extension area and a second pocket area adding the indium of second concentration lower than the first concentration at another position deeper than the second extension area. Furthermore, boron may be ion-injected in the second pocket area.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 項記載の半導体装置の製造方法。

【請求項10】 前記工程 (a) が、さらに第4の活性領域を形成し、さらに

(m) 前記第4の活性領域上に第4の絶縁ゲートを形成する工程と、

(n) 前記第4の活性領域にp型不純物を第5の深さまでイオン注入し、前記第4の絶縁ゲート両側に第4のエクスステンション領域を形成する工程と、

(o) 前記第4の活性領域に砒素を第5の深さより深い第6の深さまでイオン注入する工程と、を含む請求項6～9のいずれか1項記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】 本発明は、半導体装置及びその製造方法に関し、特にショットチャネル効果を抑制するポケット領域を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 半導体装置の微細化に伴い、トランジスタの閾値に対するショットチャネル効果が問題となる。その対策として、ポケット構造が提案されている。nチャネルMOSトランジスタにおいては、ゲート両端の下方向にポケット領域を設ける。ポケット領域形成のための不純物としてボロンが広く用いられている。最近、p型ポケット領域を形成する不純物としてインジウムも用いられてきている。

【0003】 ポケット領域形成用不純物として、インジウムを用いたnチャネルMOSトランジスタは、以下に示されるような利点を有する。

【0004】 ショットチャネル効果の抑制能力が大き

い。

【0005】 トランジスタ駆動能力を向上することができ

る。

【0006】 これらの利点は、インジウムの原子量 (115) がボロンの原子量 (11) より大きく、注入位置からの偏析、拡散を生じにくいことによりもたらされるものと考えられる。

【0007】 図5 (A) ~ (D) を参照して、従来の技術によるポケット領域を有する半導体装置の製造方法を説明する。

【0008】 図5 (A) に示すように、シリコン基板1の主表面上に葉子分離領域2を形成する。図の構成においては、シリコン基板1表面に葉子分離用膜を形成し、葉子分離用膜を酸化シリコンなどの絶縁物で埋め込み、表面上に堆積した余分の絶縁物を化学機械研磨 (CMP) 等により除去してチャロートレンチアイソレーション (STI) を形成している。

【0009】 なお、STIに代え、シリコン局所酸化 (LOCOS) による葉子分離領域を形成してもよい。葉子分離領域2により、多数の活性領域が形成される。

【0019】 本発明の他の目的は、ポケット領域形成のため、インジウムのイオン注入を採用し、かつインジウムを用いることによるリーク電流の増加を低減することのできる半導体装置の製造方法を提供することである。

【0020】

【課題を解決するための手段】 本発明の1観点によれば、主表面を有するシリコン基板と、前記シリコン基板の主表面上に形成された葉子分離領域によって画定された第1、第2活性領域と、前記第1の活性領域上に形成されたゲート絶縁膜を備えた第1の絶縁ゲートと、前記第1の絶縁ゲート両側の第1の活性領域に形成された第1のエクスステンション領域と、前記第1の絶縁ゲートに整列して前記第1のエクスステンション領域より深い位置で前記第1の活性領域内に形成され、第1の濃度のインジウムを添加した第1のポケット領域とを有する第1のnチャネルMOSトランジスタと、前記第2の活性領域上に形成され、ゲート絶縁膜を備えた第2の絶縁ゲートと、前記第2の絶縁ゲート両側の第2の活性領域内に形成され、第2の濃度のインジウムを添加した第2のポケット領域とを有する第2のnチャネルMOSトランジスタとを有する半導体装置が提供される。

【0021】 本発明の他の観点によれば、主表面を有するシリコン基板と、前記シリコン基板の主表面上に形成された葉子分離領域によって画定された第1、第2活性領域と、前記第1の活性領域上に形成され、ゲート絶縁膜を備えた第1の絶縁ゲートと、前記第1の絶縁ゲート両側の第1の活性領域内に形成された第1のエクスステンション領域と、前記第1の絶縁ゲートに整列して前記第1のエクスステンション領域より深い位置で前記第1の活性領域内に形成され、第1の濃度のインジウムを添加した第1のポケット領域とを有し、前記第1の側壁スペーサ下方にアモルファス相の領域を含む第1のnチャネルMOSトランジスタと、前記第2の活性領域上に形成され、ゲート絶縁膜を備えた第2の絶縁ゲートと、前記第2の絶縁ゲート両側の第2の活性領域内に形成された第2のエクスステンション領域と、前記第2の絶縁ゲートに整列して前記第2のエクスステンション領域より深い位置で前記第2の活性領域内に形成され、第2の濃度のインジウムを添加した第2のポケット領域とを有し、前記第2の側壁スペーサ下方に前記第1の側壁スペーサ下方よりアモルファス相の領域が少ない第2のnチャネルMOSトランジスタと、を有する半導体装置が提供される。

【0022】 本発明のさらに他の観点によれば、(a) 主表面を有するシリコン基板に葉子分離領域を形成し、

第1、第2の活性領域を画定する工程と、(b) 第1、第2の活性領域上にゲート絶縁膜を形成する工程と、(c) 前記ゲート絶縁膜上に導電性ゲート電極膜を形成する工程と、(d) 前記ゲート電極膜、ゲート絶縁膜をパターンニングして第1の活性領域上に第1の絶縁ゲート、第2の活性領域上に第2の絶縁ゲートを形成する工程と、(e) 前記第1、第2の活性領域にn型不純物を第1の深さまでイオン注入し、第1、第2の絶縁ゲート両側に第1、第2のエクスステンション領域を形成する工程と、(f) 前記第2の活性領域をマスクして、前記第1の活性領域にインジウムを第1の深さより深い第2の深さまでイオン注入する工程と、(g) 前記第1の活性領域をマスクして、前記第2の活性領域にインジウムを第1の深さより低い第3の深さまでイオン注入する工程とを含む半導体装置の製造方法が提供される。

【0023】 ポケット領域形成のための1nドープ量を制限することにより、リーク電流の増加を抑制することができ、アモルファス相を抑制することができる。

【0024】 さらに、Bをドープすることにより、ショットチャネル効果抑制の効果が不足する分を補うことができる。

【0025】

【発明の実施の形態】 本発明の実施例の説明に先立ち、ポケット領域形成のためにインジウムを用いたnチャネルMOSトランジスタについて説明する。インジウムを用いてポケット領域を形成したnチャネルMOSトランジスタの接合リーク電流が増大することは、アモルファス相の残留との関連が示唆されている。

【0026】 イオン注入時に発生するアモルファス相は、イオン注入後の活性化熱処理において回復されている。近年、トランジスタの微細化に伴い、活性化熱処理のサーマルバジェットが低下している。このため、十分なアモルファス相の回復が出来なくなっている。インジウムを注入し接合リーク電流が増大したトランジスタにおいては、側壁スペーサ下部にアモルファス相が残留していることが指摘されている。

【0027】 インジウムの活性化はボロンに比べて低い。トランジスタ閾値電圧に用いられるインジウムのドーシング当りの影響は、ボロンに比べて小さくなる傾向がある。同一のトランジスタ閾値を得るためには、ボロンよりもドーピング量を増やしたインジウムをドープする必要がある。ドーピング量を増やすことは、アモルファス相の形成を助長することになる。

【0028】 スタティックランダムアクセスメモリ (SRAM) 等のメモリーセルは、集積回路の上のクロック回路のトランジスタなどと較べ、狭いゲート幅のトランジスタを用いて形成される。

【0029】 シャロートレンチアイソレーションを用い

た半導体デバイスにおいては、トランジスタのゲート幅が狭くなるに従い、閾値電圧が低下する。トランジスタのゲート幅が狭くなるに従い、閾値電圧が増大する。チャネル効果に対し、閾値電圧が低下する現象は逆チャネル効果と呼ばれる。p型ポッケット領域を形成するためにインジウムを用いたデバイスにおいては、ボロンを用いたデバイスに比べ逆チャネル効果がより顕著になる。閾値電圧が低下するため、リーク電流増大につながる。

【0030】図6は、本発明者が行ったサーマルウェーブの実験結果を示す。図5 (D) に示すようなnチャネルMOSトランジスタにおいて、ポッケット領域7を、種々のドーズ量のインジウムイオン注入により形成した。また、イオン注入後行なう活性化熱処理の条件を変化させた。

【0031】これらのサンプルに対し、ある周波数の熱波を与え、反射した熱波を測定することにより反折率を測定し、サーマルウェーブエフェクトを得る。半導体基板内にアモルファス領域があると、このアモルファス領域は熱波の反射を増大させる機能を有する。従って、熱波の反折率は、基板中にアモルファス相が形成していることを示唆する。サーマルウェーブエフェクトの増大は、アモルファス相の領域の増大を示唆する。

【0032】図6において、横軸はインジウムのドーズ量であり、縦軸はサーマルウェーブエフェクト (反折率) を示す。インジウムのドーズ量は、 $1.5 \times 10^{13} \text{ cm}^{-2}$ 、 $2.0 \times 10^{13} \text{ cm}^{-2}$ 、 $2.5 \times 10^{13} \text{ cm}^{-2}$ 、 $3.0 \times 10^{13} \text{ cm}^{-2}$ 、 $4.0 \times 10^{13} \text{ cm}^{-2}$  に変化する。熱処理条件は  $1025^\circ\text{C}$ 、 $1025^\circ\text{C}$ 、 $20^\circ\text{C}$ 、 $1100^\circ\text{C}$ 、 $900^\circ\text{C}$ 、 $20^\circ\text{C}$  の4条件で行った。【0033】  $1025^\circ\text{C}$ 、 $20^\circ\text{C}$  の熱処理を行ったサンプルの測定結果は曲線c1で示されている。  $1025^\circ\text{C}$ 、 $20^\circ\text{C}$  の熱処理を行ったサンプルの測定結果は曲線c2で示されている。曲線c1においては、インジウムドーズ量が  $2.5 \times 10^{13} \text{ cm}^{-2}$  を越えると、サーマルウェーブエフェクトは徐々に増大する。約  $3.5 \times 10^{13} \text{ cm}^{-2}$  を越えるインジウムドーズ量では、低ドーズ領域での変化のないサーマルウェーブエフェクトと比較し、約  $20\%$  以上のサーマルウェーブエフェクトの増大が認められる。

【0034】  $1025^\circ\text{C}$  での熱処理時間を3秒から20秒に増加させると、曲線c2に示すように、サーマルウェーブエフェクトは1nドーズ量に拘わらず、ほぼ平坦な値を示す。1nのイオン注入により発生したアモルファス相は、ほぼ完全に結晶相に回復していると考えられる。しかしながら、この熱処理条件は微細デバイスに対し接合形状等他の点で与える影響が大きくなる。

【0035】熱処理温度を低減した  $900^\circ\text{C}$ 、 $20^\circ\text{C}$  の熱処理に対しては、曲線d1で示される特性が得られた。曲線d1においては、インジウムドーズ量が  $2.0$

$\times 10^{13} \text{ cm}^{-2}$  を越えると、サーマルウェーブエフェクトは明確な増大を示している。低ドーズ領域では平坦なサーマルウェーブエフェクトを基準として、インジウムドーズ量  $2.5 \times 10^{13} \text{ cm}^{-2}$  において、約  $30\%$  のサーマルウェーブエフェクトの増大が認められる。

【0036】熱処理温度を高くした  $1100^\circ\text{C}$ 、 $3^\circ\text{C}$  の熱処理に対しては、曲線d2で示される特性が得られた。曲線d2においては、インジウムドーズ量を増大してもサーマルウェーブエフェクトの増大は認められず、ほぼ平坦な特性が得られている。しかしながら、 $1100^\circ\text{C}$ 、 $3^\circ\text{C}$  の熱処理は、微細デバイスに対し、接合形状等他の点で与える影響が大きい。

【0037】図6に示す測定結果からは、熱処理を  $1025^\circ\text{C}$ 、 $3^\circ\text{C}$  の熱処理で行う場合、インジウムのドーズ量は約  $3.5 \times 10^{13} \text{ cm}^{-2}$  以下とすることが望ましい。相抑制の点から好ましいと判る。  $900^\circ\text{C}$ 、 $20^\circ\text{C}$  の熱処理を行なう場合は、インジウムドーズ量はさらに低く約  $2.5 \times 10^{13} \text{ cm}^{-2}$  以下とすることが望ましい。

【0038】以下、本発明の実施例について説明する。図1 (A) ～図2 (E) は、単一の半導体チップ上に1nドーズ量のポッケット領域を形成し、リーク電流の増加を許容する標準トランジスタと、1nを用いるが、リーク電流を低減した低リークトランジスタとを製造する方法の主要工程を示す半導体チップの断面図である。

【0039】図1 (A) に示すように、シリコン基板1の主表面上、ST1により素子分離領域2を形成する。素子分離領域2は、シリコン基板1主表面上に多数の活性領域ARを画定する。

【0040】pチャネル領域をレジスト等のマスクで覆い、nチャネル領域にB<sup>+</sup>イオンを加速エネルギー  $300 \text{ keV}$ 、ドーズ量  $3.0 \times 10^{13} \text{ cm}^{-2}$  でイオン注入し、p型ウェル3を形成する。さらに、表面部分にB<sup>+</sup>イオンを加速エネルギー  $30 \text{ keV}$ 、ドーズ量  $5.0 \times 10^{12} \text{ cm}^{-2}$  でイオン注入し、閾値を調整したチャネルを形成する。

【0041】pチャネル領域に対しては、nチャネル領域をレジスト等のマスクで覆い、別個のイオン注入を行う。

【0042】活性領域上に薄いゲート絶縁膜4、例えば厚さ約  $5 \sim 10 \text{ nm}$  の酸化シリコン膜を熱酸化などで形成し、その表面上に多結晶シリコン、ポリサイド等の導電性ゲート電極層を形成する。ゲート電極層上にレジストマスクPRを形成し、パターニングすることにより、絶縁ゲート電極5、ゲート絶縁膜4を形成する。その後、レジストマスクPRは除去する。

【0043】図1 (B) に示すように、絶縁ゲート電極5、ST1領域2をマスクとし、nチャネル領域の活性領域にA<sup>+</sup>イオンを加速エネルギー  $5 \text{ keV}$ 、ドーズ量  $3.0 \times 10^{15} \text{ cm}^{-2}$  程度でイオン注入し、深いソース/ドレインエクステンション領域6を形成する。

【0044】なお、このイオン注入の際、pチャネル領域はレジストマスクで覆って置く。pチャネル領域に対しては、nチャネル領域をレジスト等のマスクで覆って、別個のイオン注入を行う。

【0045】なお、以上の工程は、標準トランジスタ、低リークトランジスタに共通である。

【0046】図1 (C) は、左側に標準トランジスタ、右側に低リークトランジスタを示す。図に示すように、低リークトランジスタの活性領域をレジストマスクPR1で覆い、nチャネル標準トランジスタの活性領域に1n<sup>+</sup>イオンを加速エネルギー  $100 \text{ keV}$ 、ドーズ量  $6.3 \times 10^{13} \text{ cm}^{-2}$  程度でイオン注入し、深いエクステンション領域の下にポッケット領域7を形成する。その後レジストマスクPR1は除去する。

【0047】イオン注入の方向は、基板法線から約  $30^\circ$  度傾斜した4方向から行なう。傾斜させる事により、絶縁ゲート電極下方に入り込んだp型ポッケット領域を形成する。

【0048】図2 (D) に示すように、標準トランジスタ領域をレジストマスクPR2で覆い、nチャネル低リークトランジスタの活性領域に対し、ポッケット領域形成のためのイオン注入を行なう。まず、1n<sup>+</sup>イオンを加速エネルギー  $100 \text{ keV}$ 、ドーズ量  $3.4 \times 10^{13} \text{ cm}^{-2}$  程度でイオン注入する。さらに、B<sup>+</sup>イオンを加速エネルギー  $10 \text{ keV}$ 、ドーズ量  $2.0 \times 10^{13} \text{ cm}^{-2}$  程度でイオン注入する。このイオン注入も、基板法線から  $30^\circ$  度傾斜した4方向から行なう。

【0049】このように、低リークnチャネルMOSトランジスタのポッケット領域に対しては、1nのイオン注入を抑制し、アモルファス相の発生を抑制する。シャットチャネル効果抑制の効果が不足する分はBをイオン注入することによって補う。その後レジストマスクPR2は除去する。なお、図1 (C)、図2 (D) の工程は、nチャネルMOSトランジスタに対するものであり、pチャネルMOSトランジスタに対しては、別個のイオン注入を行なう。

【0050】図2 (E) に示すように、絶縁ゲート電極5を覆うように、酸化シリコン等の絶縁膜を堆積し、異方性エッチングを行なうことにより絶縁ゲート電極の側壁にのみ側壁スペーサ8を残す。

【0051】絶縁ゲート電極5、側壁スペーサ8をマスクとし、n型不純物、例えばP<sup>+</sup>イオンを加速エネルギー  $15 \text{ keV}$ 、ドーズ量  $5.0 \times 10^{15} \text{ cm}^{-2}$  程度でイオン注入し、深いソース/ドレイン領域9を作成する。深いソース/ドレイン領域9は、側壁スペーサの外側に形成されるため、側壁スペーサの下方には、エクステンション領域6、ポッケット領域7が残る。

【0052】図3 (A) ～ (C) は、pチャネル領域におけるpチャネルMOSトランジスタの製造工程を示す断面図である。

【0053】図3 (A) に示すように、シリコン基板1の主表面上に前述の工程によりST1の素子分離領域2を形成する。pチャネル活性領域に対し、n型不純物例えばP<sup>+</sup>イオンを加速エネルギー  $600 \text{ keV}$ 、ドーズ量  $3.0 \times 10^{13} \text{ cm}^{-2}$  程度でイオン注入し、n型ウェル13を形成する。さらに、P<sup>+</sup>イオンを加速エネルギー  $80 \text{ keV}$ 、ドーズ量  $2.0 \times 10^{12} \text{ cm}^{-2}$  程度でイオン注入し、閾値調整を行なったチャネルを形成する。

【0054】活性領域上に酸化シリコン等のゲート絶縁膜4を形成した後、多結晶シリコン、ポリサイド等のゲート電極層を形成し、パターニングすることによりゲート絶縁膜4を備えた絶縁ゲート電極15を形成する。なお、ゲート電極15に含まれる多結晶シリコン層は、p型にドーパされる。

【0055】図3 (B) に示すように、ゲート電極15、素子分離領域2をマスクとし、例えばB<sup>+</sup>イオンを加速エネルギー  $1 \text{ keV}$ 、ドーズ量  $3.0 \times 10^{14} \text{ cm}^{-2}$  程度でイオン注入し、深いソース/ドレインエクステンション領域の下側にn型ポッケット領域17を形成する。なお、ポッケット領域形成のためのイオン注入は、基板法線に対し  $30^\circ$  度傾斜した4方向から行なう。

【0057】図3 (D) に示すように、前述の工程により絶縁ゲート電極15側壁上に側壁スペーサ8を形成する。

【0058】その後、B<sup>+</sup>イオンを加速エネルギー  $5 \text{ keV}$ 、ドーズ量  $5.0 \times 10^{15} \text{ cm}^{-2}$  程度でイオン注入し、深いソース/ドレイン領域19を形成する。

【0059】A<sup>+</sup>で形成するポッケット領域には、1nで形成するポッケット領域のように、リーク電流発生等の問題が生じない。このため、標準トランジスタと低リークトランジスタを作り分けする必要はない。

【0060】図4 (A) ～ (C) は、入出力回路等に形成される高耐圧トランジスタの製造工程を示す。【0061】図4 (A) に示すように、前述の実施例同様の工程により、素子分離領域2が形成される。以下、nチャネルMOSトランジスタを製造する場合を例にとりて説明する。

【0062】B<sup>+</sup>イオンを加速エネルギー  $300 \text{ keV}$ 、ドーズ量  $3.0 \times 10^{13} \text{ cm}^{-2}$  程度でイオン注入し、p型ウェル23を形成する。さらに、B<sup>+</sup>イオンを加速エネルギー  $30 \text{ keV}$ 、ドーズ量  $7.0 \times 10^{12} \text{ cm}^{-2}$  程度でイオン注入し、チャネル領域を形成する。

【0063】活性領域上に薄いゲート絶縁膜14を形成し、その上にゲート電極層を形成する。厚いゲート絶縁膜は、所望の耐圧を得るようその厚さが制御される。例えば、活性領域表面の酸化工程を2段階に分け、その

中間段階において厚膜のゲート絶縁膜を形成する領域以外の酸化膜を除去する。このようにして、厚いゲート絶縁膜と薄いゲート絶縁膜を形成する。

【0064】ゲート電極層、ゲート絶縁膜をレジストマ  
スクを用いてパターンニングすることにより、ゲート電極  
25、ゲート絶縁膜14を形成する。

【0065】図4(B)に示すように、 $As^{+}$ イオンを加速エネルギー10keV、ドーズ量 $3.0 \times 10^{14} \text{ cm}^{-2}$ 程度でイオン注入し、ソース/ドレインエクステンション領域を形成する。

【0066】図4 (C) に示すように、前述の実施例と同様の工程により、ゲート電極25側壁上に傾斜スペーサ58を形成した後、例えばP<sup>+</sup>イオンを加速エネルギー15 keV、ドーズ量5×10<sup>15</sup> cm<sup>-2</sup>程度でイオン注入し、深いソース/ドレイン領域29を形成する。

【0067】高耐圧トランジスタは、さほど微細化されず、ボケット領域も設けられない。

【0068】図4(D)は、上述のような工程により形成される半導体チップの平面構成を概略的に示す。半導体チップ30は、入出力回路31、メモリ回路32、ロジック回路33を含む。入出力回路31は、図4(C)に示すような高阻圧トランジスタを含む。メモリ回路32は、例えばスタタックランダムアクセスメモリ(SRAM)で形成され、低リックnチャネルトランジスタを用いて形成される。ロジック回路33は、CMOS回路で構成され、メモリセルの底リックトランジスタよりゲート幅の広いnチャネル型電圧トランジスタと、ポケット領域を備えたpチャネルトランジスタで形成される。

【0069】図7は、上述の実施例に従って形成した標準トランジスタと低ドレイン電流のリーク特性を示す。図中横軸は、リーク電流を単位Aで示し、縦軸は、 $\log_{10}$ 表示である。曲線aはポラート領域を $3.4 \times 10^{-13} \text{ cm}^2$ のインジェクタと $2.0 \times 10^{13} \text{ cm}^2$ のボロンドプニングによって形成した低ドレイン電流の特性であり、曲線bは、ポラート領域を $6.28 \times 10^{13} \text{ cm}^2$ のインジェクタと $2.0 \times 10^{13} \text{ cm}^2$ のボロンドプニングによって形成した標準トランジスタの特性である。

【0070】図から明らかなように、リーク電流は1桁以上の大きな差を示している。1nのドープ量を制限したことにより、リーク電流が大幅に減少していることが明らかである。1nのドープ量を低減すると、アモルファス化される量が減少し、熱処理により回復できる程度まで結晶相に回復するものと考えられる。1nのドープ量を一定値以上に増加させると、回復できないアモルファス領域が増加し、リーク電流を増大させるものと考えられる。

【0071】図8 (A) ~ (C) は、閾値電圧のゲート長及びゲート幅依存性を示す。

【0072】図8(A)に示すように、活性領域AR上にゲート電極Gが形成されている場合、ゲート電極の幅

(電流方向の長さ)をゲート長とし、それと直交方向の活性領域の幅をゲート幅 $W$ とする。

【0073】図8（B）は、トランジスタの閾値電圧（ $V_{th}$ ）と長寿命性を示すグラフである。図中横軸はゲート長を単位 $\mu m$ で示し、縦軸はトランジスタの閾値 $V_{th}$ を単位 $V$ で示す。ポケット領域を1nのみで形成した低抵抗型トランジスタと、ポケット領域を1nとBとの2種類の不純物が形成した低抵抗トランジスタの特性が示されている。これら2種類のトランジスタの閾値は、ほぼ同等であり、低抵抗トランジスタが低抵抗トランジスタとほぼ同様のジョーナル効果を抑制した特性を維持していることを示している。

【0074】図8(C)は、閾値のゲート幅 $w$ に対する存在性を示す。图中縦軸はゲート幅 $w$ を単位 $\mu\text{m}$ で示し、縦軸は閾値電圧 $V_{th}$ を単位 $\text{V}$ で示す。横軸トランジスタの閾値 $V_{th}$ を示している。ゲート幅 $w$ の減少と共に減少を続け、ほぼ $0\mu\text{m}$ まで達している。これに対し、ポキネット領域を $I_{on}$ と $B$ との度合いにより形成した低リーク率トランジスタ $V_{th}$ の閾値は、合意に維持されている。このように、低リーク率トランジスタゲート幅 $w$ の減少(狭チャネル化)に対しても、有数のトランジスタの性能を維持する。このように、低リーク率トランジスタにより逆炭素ナノ管効果の影響を低減したトランジスタが得られる。

【0075】SRAM等のメモリ回路は、集積度向上のため狭いゲート幅の、例えば $0.05 \sim 0.5 \mu\text{m}$ の、低リークトランジスタで形成される。ロジック回路はゲート幅がより広い、例えば $1 \sim 10 \mu\text{m}$ の、標準トランジスタを用いて形成される。

【0076】なお、p型不純物としてBを用いる場合、イオン交換としてボロン他BF<sub>3</sub>、デカボラン等ボラン化合物を用いてもよい。論理回路を構成するトランジスタで動作する場合と異なり、論理回路を構成するトランジスタと低リークトランジスタとの組み合わせ、または、低リークトランジスタのみで作ることもできる。ゲートとしてp型ゲートを用いてもよい。

【0077】以上に実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、各種の変更、改良、組み合わせが可能な事は当業者に自明であろう。

**[0078]**

【発明の効果】以上説明したように、本発明によれば、インジウムを用いてポケット領域を形成し、その利点を維持したまま、インジウムを用いることによって生じ得るリーク電流増大を低減することができる。

【図面の簡単な説明】

【図1】 本発明の実施例によるnチャネルMOSトランジスタを有する半導体装置の製造工程を示す断面図である。

【図2】 本発明の実施例によるnチャネルMOSトランジスタを有する半導体装置の製造工程を示す断面図である。

特開平15-017578

(8)

【図3】 pチャネルMOSトランジスタの製造工程を示す断面図である。

【図4】 高耐圧トランジスタの製造工程を示す断面図及び半導体チップの平面図である。

【図5】従来の技術による半導体装置の製造工程を示す半導体チップの断面図である。

【図6】 ポケット領域をインジウムで形成した場合のサーマルウェーブの測定結果を示すグラフである

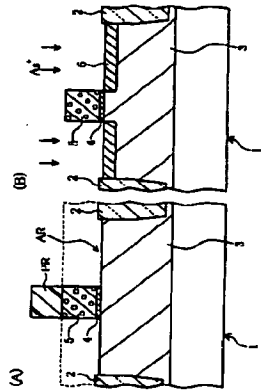
【図7】 ポケット領域をインジウムで形成した場合と、インジウムとボロンを混合して形成した場合のリーク電流特性を示すグラフである。

【図8】標準トランジスタと低リークトランジスタのゲート幅及びゲート長依存性を示すグラフである。

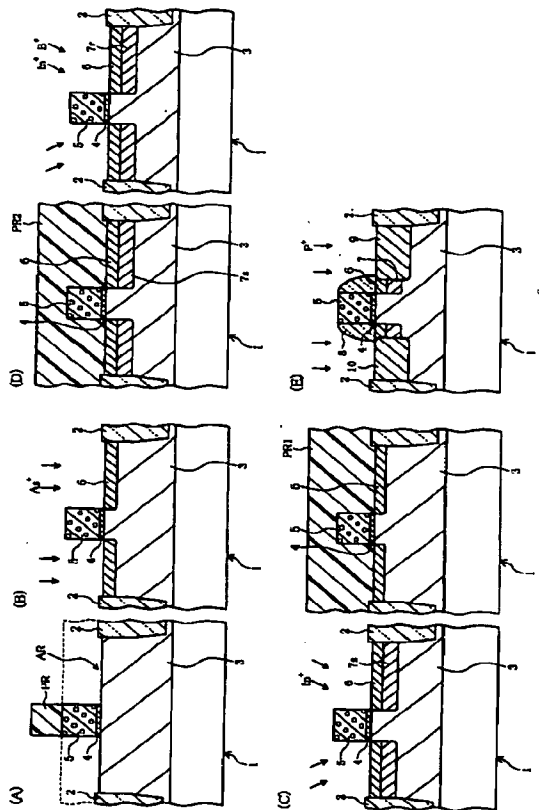
【符号の説明】

- 3 1 シリコン基板
- 3 2 葉子分離領域
- 3 3 ウェル/チャネル領域
- 3 1 入出力回路
- 3 2 メモリ回路
- 3 3 ロジック回路

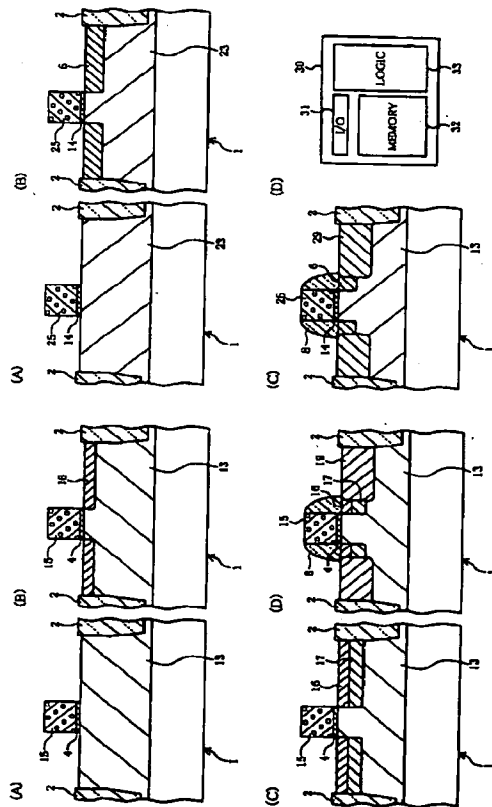
【圖一】



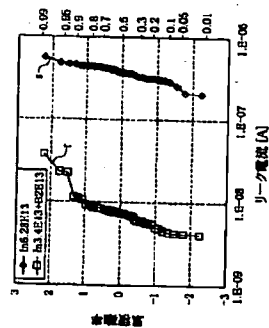
【图2】



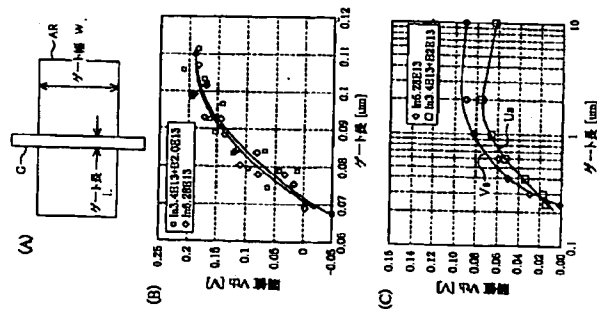
【図3】



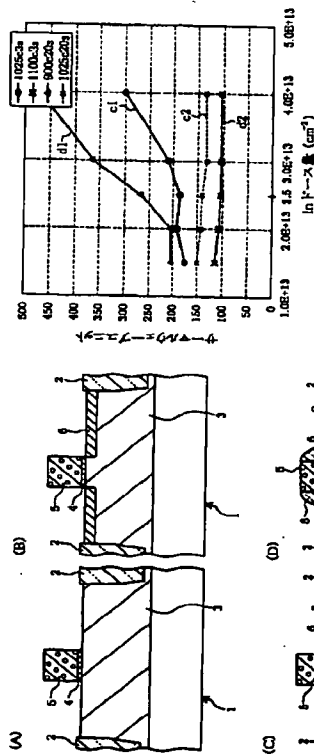
【図7】



【図8】

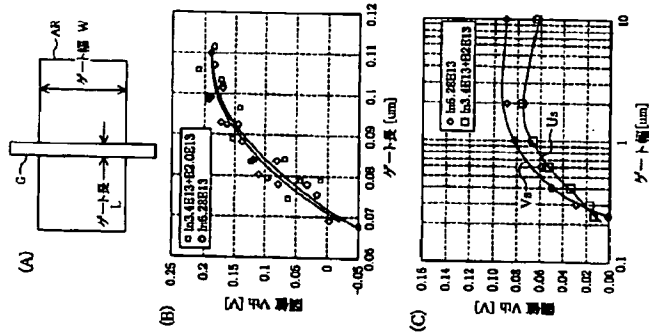


【図5】



【手続補正2】  
 【提出日】平成13年11月7日(2001.11.7)  
 【手続補正1】  
 【補正対象書類名】明細書  
 【補正方法】変更  
 【補正内容】  
 【請求項4】さらに、前記素子分離領域によって画定された第3の活性領域と、前記第3の活性領域に形成され、前記第1および第2の絶縁ゲートのゲート絶縁膜よりも厚いゲート絶縁膜を伴わない第3の絶縁ゲートと、前記第3の絶縁ゲート両側で第3の活性領域に形成され、ポケット領域を伴わない第3のエグステーション領域とを有する第3のnチャネルMOSトランジスタと、を有する請求項1～3のいずれか1項に記載の半導体装置。  
 【手続補正2】

【補正対象書類名】明細書  
 【補正対象項目名】0076  
 【補正方法】変更  
 【補正内容】  
 【0076】なお、p型半導体としてBを用いる場合、イオン種としてボロンの他BF<sub>2</sub>、デカボラン等ボロン化合物を用いてもよい。論理回路を標準トランジスタで作る場合を説明したが、論理回路を標準トランジスタと低リークトランジスタとの組み合わせ、または、低リークトランジスタのみで作ることできる。ゲートとしてノッチゲートを用いてもよい。  
 【手続補正3】  
 【補正対象書類名】図面  
 【補正対象項目名】図8  
 【補正方法】変更  
 【補正内容】  
 【図8】



【手続補正書】

【提出日】平成13年12月19日(2001.12.19)

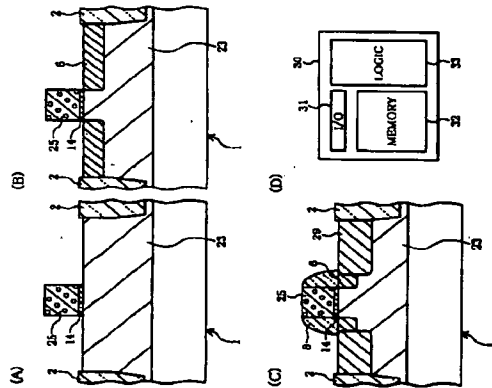
【手続補正1】

【補正対象事項名】図面

【補正対象項目名】図4

【補正方法】変更

【図4】



【手続補正2】

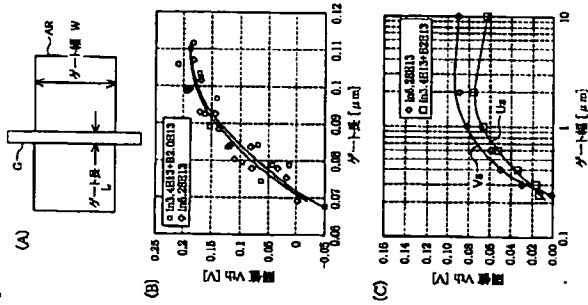
【補正対象事項名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



フロントページの続き

(72)発明者 岡部 堅一

愛知県春日井市高蔵寺町二丁目184番2号

富士通グイエルエスアイ株式会社内

(72)発明者 渡辺 孔

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

Fターム(参考) 5F048 AA07 AA08 AB03 AC01 BA01

BB05 BB08 BB16 BB18 BC05

BC06 BD04 BC14

5F140 AA21 AA22 AA24 AB01 AB03

AC22 AC33 BA01 BB15 BC06

BE07 BF04 BF11 BF18 BC08

BC12 BC51 BC53 BH14 BH15

BH21 BH36 BK02 BK13 BK14

BK21 BK22 CB04 CB08